(11)特許出顧公開番号

特開平11-354631

	平成11年(1999)12月24日
-	平成11年
2	(43)公開日

	Ω		621	Ω	
FI	H01L 21/76	21/12	29/78	16/62	
4日日日					
(51) Int.C.		21/12	29/786	29/861	

審査請求 未請求 請求項の数11 〇L (全 10 頁)

(71) 出國人 (00156850	開四日本電気株式発在 接貨馬大路市環境2丁目9番1号 大岡 辛 整資県大津市職業2丁目9番1号 本電気株式会社内	
(71) 出國人	(72) 発明者	· .
特膜平 10-163174	平成10年(1998) 6月11日	
(21) 出題等号	(22) 州町日	

(54) 【発明の名称】 半導体技師

(57) [要約]

「課題】 SOI基板の半導体支持基板の表面電位を表面で固定することにより裏面電極による固定での欠点を解消する。

【解決手段】 半導体支持基板21上にシリコン酸化膜23を介して半導体層22を設けてSO1基板を構成する。半導体層22の素子形成領域100から絶験層29により絶験分離された基板電位取出口領域200にシリコン酸化膜23を貫通し半導体支持基板21に達する導電局32を設け、この導電局32上に電気的接続した基板電位固定電極28を、素子形成領域100に設けたダイオードのアノード電極27と同電位に接続している。

【特許財水の範囲】 【請求項1】導電性支持基板上に絶縁膜を介して設けた 半導体層の絶縁分離層に専囲まれた素子形成領域に素子 を形成した半導体装置において、 前記導電性支持基板の表面電位を固定する基板電位固定 電極を前記業子形成領域から絶縁分離された前記半導体 層の基板電位取出し領域上に設けたことを特徴とする半 [請求項2] 前記導電性支持基板が半導体基板であるこ

とを特徴とする請求項1配線の半導体装置。 [請求項3] 前配基板電位固定電極が、前記基板電位取 出し領域表面から前記絶縁膜を買通して形成した導電層 により前記導電性支持基板と電気的接続されたことを特徴とする請求項1配線の半端体装置。 【路米項4】前記基板電位固定電極が前記業子形成領域 LIC形成された一塩種と電気的接続されたことを特徴とする請求項1記線の半導体装置。 【謝水頃5】 前記素子が高耐圧ダイオードで、前記一路施ブノード電極又はカソード電極であることを特徴とする部状項4記載の半導体装置。

41号 関西日

【静水項6】 前記素子が高耐圧MOSFETで、前記 一電極がソース電極であることを特徴とする請求項4記 載の半導体技図。

[請求項7] 導電性支持基板上に第1絶縁機を介して設けた半導体圏の絶縁分離圏にそれぞれの囲まれた第1素 子形成鋼域に第1業子を形成し、第2素子形成領域に第 2素子を形成した半導体装置において、 前記導電性支持基板表面の第1業子形成領域直下の位置 と第2素子形成領域直下の位置とを互いに絶縁分離し、 前記第1素子形成領域直下の位置の電位を固定する第1 基板電位固定電値と、前記第2素子形成領域直下の位置 の電位を固定する第2基板電位電極とを前記半導体層支 面に設けたことを特徴とする半導体装置。 【翻求項8】前記導電性支持基板が半導体基板と半導体 基板に第2絶線膜を介して設けた基板導電配合とからなり、前記導電性支持基板装面の第1素子形成領域直下の位置と第2案子形成領域直下の位置とを、前記半導体層 数面から前記基板導電層を貫通して形成された絶縁分離 圏により互いに絶縁分離したことを特徴とする翻求項7 「翻来項9」前記第1基板電位固定電極が、前記第1素 子形成領域から絶縁分離され前記半導体層表面から前記 第1絶縁度を買通して形成された第1導電層により前記 導電性支持基板表面の第1素子形成領域直下の位置と電 気的接続され、前記第2基板電位固定電極が、前記第2 素子形成領域から絶縁分離され前記半導体超表面から前 配第1絶縁膜を質通して形成された第2導電層により前 配導電性支持基板表面の第2業子形成領域直下の位置と 電気的接続されたことを特徴とする翻求項7記載の生導

[請求項10] 前記第1基板電位固定電極が前記第1報子形成領域上に形成された第1の一電極と電気的接続され、前記第2基板電位固定電極が前記第2報子形成領域上に形成された第2の一電極と電気的接続されたことを特徴とする請求項7記載の半導体装置。

【請求項11】前記第1表子が一導也型高耐圧MOSFETで前記第1の一電極が一導電型高耐圧MOSFETのソース電極であり、前記第2素子が他導電型高耐圧MOSFETで前記第2の一電極が他導電型高耐圧MOSFETのソース電極であることを特徴とする請求項10~記載の半導体装置。

[発明の詳細な説明]

[0001]

【発明の属する技術分野】本発明は、導配性支持基板上 に絶縁膜を介して半導体固を有するSO1 基板を用いた 半導体装置に関し、特にパワー1 Cに適用するのに好適 な半導体装置に関する。

[0002]

【従来の技術】従来のパワー1 Cは特開平9-9788 6号公報に記載されており、高耐圧ダイオードを有する パワー1 Cについて、この公報の図14及び図15を図 8及び図9に引用して説明する。図8において、半導体 支持基板1の上に絶縁膜3を介してN-型半導体層2が **設けられてSO1基板を構成している。このSO1基板** 後、熱処理により2枚のシリコン基板を貼り合わせ、更 磨して製造される。半導体層2には、表面層に高濃度N 型であるN+ 型半導体領域4が散けられ、このN+ 型半 ての裏面電極8が設けられている。半導体圏2中には半 けられ、例えば、P+型半導体領域5に隣接して取囲む ように散けられている。半導体層2の装面にはカソード 電極6及びアノード電極7が接続される位置を除いて絶 **素子や他の素子が形成される半導体層2に用いられるシ** に素子が形成される側のシリコン基板を所定の厚さに研 導体領域 4 を所定距離離間して取囲むように絶縁膜 3 ま での深さで高濃度 P型である P+型半導体領域 5 が散け れ、半導体支持基板1の顕面には基板電位固定電極とし 導体層 2 を複数の部分に絶縁分離する絶縁分離層 9 が散 は半導体支持基板1に用いられるシリコン基板とパワー られている。N+型半導体領域4にはカソード電極6 が、P+ 型半導体領域5にはアノード電極7が接続さ リコン基板のいずれか一方あるいは両方を熱酸化した

【0003】図9において、動作は、アノード電極7と 数面電極8を0Vとして、カソード電極6に正電圧を印 加していくと、半導体B2とP+型半導体領域5間のP N投合から空乏層Aが伸びる。このとき、半導体支持基 板1は、全体が0Vになっており、絶線局3を介してフ イールドブレートとして働くので空ご個Aに加えて半導 体層2と絶線局3間の界面から半導体局2の表面に向か う方向に空乏層Bが伸びるため、この影響により空2層

録膜11が設けられている。

(3)

€

Aが伸びやすくなり、半導体層2とP+型半導体領域5間のPN接合の電界は緩和される。このようにSO1基板の半導体支持基板の配位を固定することにより、紫子が形成される半導体局内での表面電界緩和効果を利用でき、薄いSO1基板で高耐圧素子の搭載が可能であり、誘導電位による誤動作を回避できる。また、分離溝が浅くなるので誘電体分離のための分離溝の作成コストを低減できる。

【毎明が解決しようとする課題】ところで、上述の構造 【毎明が解決しようとする課題】ところで、上述の構造において、半導体支持基板の確位を固定するために半導体支持基板の下面に接触する異面電極8を設けており、つぎのような問題点がある。 (1)システム・オン・チップ (SOC) 等の1チップ (CLよる半導体高密度実装技術の進展により、面実装型の1CパッケージとしてBGA (Ball Grid Array)、CSP (Chip Size Peckage) が採用されてきており、この場合、チップは安面に形成したパンプによりフェイスダウンで接続され、チップの裏面は通常電気的に接続されないため、裏面電極での接続が困難である。

(2) チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、ダイボンディングコストを変くするために絶縁ペーストを使用すると、毎面電極での接続ができない。

(3) 半導体層にそれぞれ絶縁分離されて形成されたN型菓子とP型素子を有する半導体装置を裏面電極を接地して使用した場合、半導体支持基板注全体が接地されることになり、一方の業子に対しては表面電界緩和効果を利用できるが、他方の業子に対しては表面電界緩和効果を利用できない。他方の業子に対しては表面電界緩和効果を利用できない。

【ののの5】本発明は上記問題点に鑑みてなされたものであり、絶縁膜を貫通して半導体層表面で導植性支持基板の表面電位を固定することにより、上記問題点を解決した上で、半導体層内での表面電界緩和効果を利用でき、薄いSO1基板で高耐圧素子の搭載が可能であり、誘導電低による認動作を回避できる等の効果を有する半導体装置を提供することを目的とする。

【観題を解決するための手段】本発明に係る半導体装置 は、導電性支持基板上に絶縁膜を介して設けた半導体層 の絶縁分離層に取囲まれた素子形成領域に素子を形成し た半導体装置において、導電性支持基板の表面電位を固 定する基板電位固定電極を業子形成領域から絶縁分離さ れた半導体圏の基板電位取出し領域上に設けたことを特 数とする。上記半導体装置において、導電性支持基板は 単導体基板である。また、基板電位固定電極は、基板電 位取出し領域表面から絶縁膜を貫通して形成した導電 位取出し領域表面から絶縁膜を貫通して形成した導電 の配出の電性支持基板と電気的接続されている。この基 板電位固定電極は素子形成領域上に形成された一準電極 電気的接続される。素子が高耐圧ダイオードの場合、一

導電性支持基板上の異なる領域を異なる館位で固定する 第1 絶縁膜を介して設けた半導体層の絶縁分離層にそれ 第2茶子形成領域に第2素子を形成した半導体装置にお て設けた基板導電層とからなり、導電性支持基板表面の **電極はアノード電極又はカソード電極であり、高耐圧M** 場合の本発明に係る半導体装置は、導電性支持基板上に いて、導電性支持基板表面の第1 案子形成領域直下の位 基板電位固定電極と、第2素子形成領域直下の位置の電 位を固定する第2基板電位電極とを半導体層表面に設け たことを特徴とする。上記半導体装置において、導電性 支持基板は半導体基板と半導体基板に第2絶縁膜を介し 第1素子形成領域直下の位置と第2案子形成領域直下の 位置とを、半導体層表面から基板導電層を貫通して形成 し、第1 案子形成領域直下の位置の電位を固定する第1 OSFETの場合、一電極はソース電極である。次に、 ぞれ取囲まれた第1素子形成領域に第1素子を形成し、 された絶縁分離層により互いに絶縁分離している。ま 置と第2茶子形成領域直下の位置とを互いに絶縁分離

子が他導電型高耐圧MOSFETの場合、第2の一電極 成された第2の一電極と電気的接続される。第1素子が た、第1 基板電位固定電極は、第1 案子形成領域から絶 隊分離され半導体層表面から第1絶縁膜を貫通して形成 された第1導電層により導電性支持基板表面の第1案子 形成領域直下の位置と電気的接続され、第2基板電位固 定電極は、第2素子形成領域から絶縁分離され半導体層 素子形成領域上に形成された第1の一電極と電気的接続 され、第2基板電位固定電極は第2案子形成領域上に形 導電型高耐圧MOSFETのソース電極であり、第2業 表面から第1絶縁膜を貫通して形成された第3導電層に より導電性支持基板表面の第2素子形成領域直下の位置 と電気的接続されている。第1基板電位固定電極は第1 ─-蓴電型高耐圧MOSFETの場合、第1の一電極は− は他導電型高耐圧MOSFETのソース電極である。 0007

イオード茶子が形成される素子形成領域100には、表 コン基板21gの表面層に高濃度一導電型であるN+型 シリコン酸化膜23を介してN-型半導体層22を設け は他導電型であるP型であってもよく、このときは低機 他導電型であるP+ 型半導体層を設けたものを用いるの 面層にN+ 型半導体領域24を設け、このN+ 型半導体 |発明の実施の形態|| 以下に、本発明に基づき第1の実 半導体支持基板21は低濃度一導電型であるN-型シリ 半導体層21bを散けたもので、その上に絶縁膜である 度他導電型である P- 型シリコン基板の表面層に高濃度 型又はP+ 型であってもよい。半導体層22の高耐圧ダ 施例の高耐圧ダイオードを有する半導体装置を図1を参 て、導電性支持基板としての一導電型であるN型のSi てSOI 基板を構成している。尚、半導体支将基板21 が望ましい。また、半導体支持基板21は、全体がN+ 照して説明する。先ず構成を説明すると、図1におい

まれている。この素子形成領域100から絶縁分離され 領域24を所定距離離間して環状に取囲むようにシリコ ン酸化膜23までの深さで b+ 型半導体領域25を設け ている。尚、P+ 型半導体領域25はN+ 型半導体領域 24を取囲んでいなくてもよい。N+型半導体領域24 にはカソード電極26を、P+ 型半導体領域25にはア ノード電極27をオーム接触して設けている。半導体層 22にはシリコン酸化膜23に達し半導体層22を複数 の部分に絶縁分離する絶縁分離局29を設けており、業 子形成領域100はこの絶縁分離層29に隣接して取囲 た半導体層22の基板電位取出し領域200にはシリコ 半導体支持基板21の表面層が b+ 型のときは b+ 型ポ リシリコンからなる導電局を設ける。導電層32上には 基板館位固定電極28はアノード電極27を一電極とし て同電位で接続している。半導体層22の表面にはカソ 一ド電極26、アノード電極27及び基板電位固定電極 ン酸化膜23を貫通し半導体支持基板21に達するN+ 型ポリシリコンからなる導電層32を設けている。尚、 基板電位固定電極28を接続している。図示しないが、 28が接続される位置を除いて絶縁膜31を設けてい 【0008】上記構成の半導体装置の高耐圧ダイオードの動作は、アノード電極27と基板電位固定電極28を0Vとして、カソード電極26に正電圧を印加していくと、半導体圏22とP+型半導体領域25間のPN接合から図9に示す空2層と1は、基板館位固定電極28から薄電器32を介して全体が0Vになっており、シリコン酸化膜23を介してライールドブレートとして働くので上記の空2層に加えて半導体圏22とシリコン酸化膜23間の界面から半導体圏22の表面に向かう方向に図3に示す空2層が伸びを22の表面に向かう方向に図9に示す空2層が伸びを22の表面に向かう方向に図9に示す空2層が伸びやすくなり、半導体層22と野により先の空2層が伸びやすくなり、半導体層22と

【0009】このようにSOI基板の半導体支持基板210電位を表面に設けた基板電位固定電極28によりアノード電極27の電位に固定することによりSOI基板の異面に電極を設けずに、ダイオード素子が形成される素子形成領域100内での表面電界級和効果を利用して高齢圧ダイオード素子の格数が可能で、上述した課題(1)及び(2)を解決することができる。即ち、"

(1) 面実装型のICパッケージとしてのBGA (Ball Grid Array)、CSP (Chip Size Package) に本実施例の高耐圧ダイオード案子を有する半導体装置のチップを採用することができる。

(2) チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、本実施倒の両顧 エダイオードを有する半導体装置のチップをダイボンディングコストを安くするための絶縁ペーストを使用する

ことができる。

電極に正毬圧を印加していくと、半導体層とN+ 型半導 **乏層が伸びる。このとき、半導体支持基板は、基板電位** 乏層が伸びやすくなり、半導体層とN+ 型半導体領域間 型、他導電型をN型としてもよい。このときN+ 型半導 体領域24がP+ 型半導体領域となりこの上にアノード 電極が接続され、P+ 型半導体領域25がN+ 型半導体 基板電位固定電極はカソード電極を一電極として同電位 で接続する。このときの高耐圧ダイオードの動作は、ア ノード電極を 0 V として、カソード電極と基板電位固定 体領域間の BN接合から図9に示す空を紹Aと同様の空 り、絶縁固を介してフィールドプレートとして働くので 面から半導体層の表面に向かう方向に図9に示す空2層 Bと同様の空を뤔が伸びるため、この影響により先の空 【0010】上述の第1実施例において、一導電型をN 上記の空乏層に加えて半導体層とシリコン酸化膜間の界 領域となりこの上にカソード電極が接続される。また、 固定電極から導電配を介して全体が正電圧になってお 型、他導電型をP型として説明したが、一導電型をP のPN接合の電界は緩和される

成している。尚、半導体支持基板41は他導電型である P型であってもよく、このときは装面層に高濃度他導電 型であるP+ 層を含むことが望ましい。また、半導体支 **電型であるNチャネル高耐圧MOSFETを有する半導** 体装置を図2を参照して説明する。図2において、導電 性支持基板としての一導電型であるN型S;半導体支持 基板41はシリコン基板418の表面層に高濃度一導電 型であるN+ 型半導体層41bを含んだもので、その上 に絶縁膜であるシリコン酸化膜43を介して低濃度一導 **鮨型であるN− 型半導体層42を設けてSO1基板を構** い。 半導体層42の高耐圧MOSFET素子が形成され る素子形成領域300には、表面图にN+ 型半導体領域 44を設け、このN+ 型半導体領域44を所定距離離間 して環状に取困むようにシリコン酸化膜43までの深さ でP型半導体領域45を設けている。尚、P型半導体領 い。 P型半導体領域45の表面圏には半導体圏42とP 型半導体領域45間のPN接合からチャネル長として所 定距離離間した位置にN+型半導体領域53を設け、N 6を、N+ 型半導体領域53とP+ 型半導体領域54に 【0011】次に、本発明に基づき第2の実施例の一導 域45はN+型半導体領域44を取囲んでいなくてもよ + 型半導体領域53と隣接してP+ 型半導体領域54を 設けている。N+型半導体領域44にはドレイン電極4 はソース電極47をオーム接触して設けている。半導体 層42にはシリコン酸化膜43に達し半導体層42を複 素子形成領域300はこの絶縁分離層49により取囲ま れている。この素子形成質域300から絶縁分離された 半導体層42の基板電位取出し領域400にはシリコン 数の部分に絶縁分離する絶縁分離層49を設けており、 **痔基板41は、全体がN+型又はP+型であってもよ**

9

彼化膜43を貫通し半導体支持基板41に達するN+型 ポリシリコンからなる導電層52を設けている。尚、半 シリコンからなる導電層を設ける。導電層52上には基 板電位固定電極48を接続している。図示しないが、基 板電位固定電極48はソース電極47を一電極として同 **電極46、ソース電極47及び基板電位固定電極48が** 接続される位置を除いて絶縁膜51を散けている。 絶縁 膜51中にあって、P型半導体領域45上の半導体圏4 2とN+ 型半導体領域53間位置に絶縁膜51に含まれ 電位で接続している。半導体圏42の表面にはドレイン るゲート酸化膜55を介してゲート電極56を設けてい 導体支持基板41の表面層がP+型のときはP+型ポリ

陽42とP型半導体領域45間のPN接合から図9に示 【0012】上記構成の半導体装置のNチャネル高耐圧 MOSFETの動作は、ソース電極47と基板電位固定 **電極48を0Vとして、ゲート電極56をオフ制御状態** でドレイン電極46に正電圧を印加していくと、半導体 **す空芝層Aと同様の空乏層が伸びる。このとき、半導体** 支格基板41は、基板電位固定電極48から導電層52 を介して全体が0Vになっており、シリコン酸化膜43 **層に加えて半導体圏42とシリコン酸化膜43間の界面** 空乏層が伸びやすくなり、半導体圏42とP型半導体領 から半導体層42の表面に向かう方向に図9に示す空乏 を介してフィールドプレートとして働くので上記の空名 層Bと同様の空乏層が仲ぴるため、この影響により先の 域45間のPN接合の電界は緩和される。

與面に電極を設けずに、MOSFET業子が形成される Grid Array)、CSP(Chip Size Package)に本実施 一ス電極47の電位に固定することによりSO1基板の 案子形成領域300内での表面電界機和効果を利用して **高耐圧MOSFET素子の搭載が可能で、上述した課題** (1) 面実装型のICパッケージとしてのBGA (Ball 例の高耐圧MOSFETを有する半導体装置のチップを 1の電位を表面に散けた基板電位固定電極48によりソ (1) 及び(2)を解決することができる。即ち、

【0013】このようにSOI基板の半導体支持基板4

採用することができる。

グにより接続する方式の場合において、本実施例の高耐 EMOSFET紫子を有する半導体装置のチップを用い ることによりダイボンディングコストを安くするための (2) チップをワイヤボンディング及びダイボンディン 絶録ペーストを使用することができる。

【0014】上述の第2実施例において、一導電型をN 型、他導電型をN型としてもよく、この場合、Pチャネ ル商耐圧MOSFETを有する半導体装置となる。この ン電極をOVとして、ゲート電極をオフ制御状態でソー ときのPチャネル高耐圧MOSFETの動作は、ドレイ ス電極と基板電位固定電極に正電圧を印加していくと、 型、他導電型をP型として説明したが、一導電型をP

層間の界面から半導体層の表面に向かう方向に図9に示 り先の空乏層が伸びやすくなり、半導体層とN型半導体 空乏層Aと同様の空乏層が伸びる。このとき、半導体支 **時基板は、基板電位固定電極から導電層を介して全体が** トとして働くので上記の空乏層に加えて半導体層と絶縁 正亀圧になっており、絶縁層を介してフィールドプレー す空乏層Bと同様の空乏層が伸びるため、この影響によ 半導体層とN型半導体領域間のPN接合から図9に示す 領域間の PN接合の電界は緩和される

を図3を参照して説明する。図3において、導電性支持 導体支持基板61aの上に設けた第2絶縁膜であるシリ P+ 型ポリシリコンであってもよく、このとき半導体支 **痔基板61gは、全体がN+型又はP+型であってもよ** 亀型であるNチャネル高耐圧MOSFETと他導電型で あるPチャネル高耐圧MOSFETを有する半導体装置 基板61の上に第1絶縁膜であるシリコン酸化膜63を 介して低濃度一導電型であるN- 型半導体圏62を設け **尊電型であるN型S;半導体支持基板61aと、この半** コン酸化膜61bと、このツリコン酸化酸61bの上に を含んでいる。尚、基板導電層は高濃度他導電型である 特基板61gはN型でもP型でもよい。また、半導体支 【0015】次に、本発明に基づき第3の実施例の一導 設けたN+ 型ポリシリコンからなる基板導電圀61cと てSOI 基板を構成している。導電性支持基板61は-

【0016】半導体图62のNチャネル高耐圧MOSF Nの表面層には半導体層 6.2 と P型半導体領域 6.5 N間 N+ 型半導体領域64Nにはドレイン電極66Nを、N 表面層にN+ 型半導体領域64Nを設け、このN+ 型半 **導体領域64Nを所定距離離間して取囲むようにシリコ** ン酸化膜63までの深さでP型半導体領域65Nを設け ている。尚、 P 型半導体領域 6 5 NはN+ 型半導体領域 64Nを取開んでいなくてもよい。P型半導体領域65 **のPN接合からチャネル畏として所定距離離間した位置** にN+ 型半導体領域73Nを設け、N+ 型半導体領域7 + 型半導体領域73NとP+ 型半導体領域74Nにはソ 3Nと隣接してP+ 型半導体領域74Nを設けている。 E工素子が形成される第1案子形成領域500Nには、 -- A電極67Nをオーム接触して設けている。

【0017】半導体層62のPチャネル高耐圧MOSF E T 素子が形成される第2 素子形成領域500 P の表面 層に P+ 型半導体領域 6.4 Pを設け、この P+ 型半導体 4 Pから所定距離離間して環状で残るようにシリコン酸 化膜63までの深さでP型半導体領域65Pを設けてい る。半導体層62の表面には半導体層62とP型半導体 雑閒した位置にP+ 型半導体領域73Pを散け、P+ 型 半導体領域7 3 P と隣接してN+ 型半導体領域7 4 P を 頚域65P間のPN接合からチャネル長として所定距離 投けている。尚、P型半導体領域65Pは半導体層62 頚域64Pを含み、半導体層62がP+ 型半導体領域6

にはドレイン電極66Pを、P+ 型半導体領域7 3 Pと に取囲まれていなくてもよい。P+型半導体領域64P N+型半導体領域7 4 Pにはソース電極6 7 Pをオーム 接触して設けている。

酸化膜63を貫通し導電性支持基板61に達するN+型 城500N及び基板電位取出し領域600N直下の位置 【0018】半導体層62にはシリコン酸化膜63に達 し半導体層 62を複数の部分に絶縁分離する絶縁分離局 69Aを設けており、案子形成領域500N及び500 Pはこの絶縁分離層69Aにより取囲まれている。半導 69Aで囲まれた第1基板電位取出し領域600Nと業 子形成領域500Pに隣接し絶縁分離图69Aで囲まれ ポリシリコンからなる第1及び第2導電圈72N,72 Pを散けている。更に、半導体層62の表面からシリコ ン酸化膜61bに達し、基板導電層61cの素子形成領 と案子形成領域500P及び基板電位取出し領域600 ている。尚、導電性支持基板の表面層、即ち、基板導電 層がP+ 型のときはP+ 型ポリシリコンからなる第1及 び第2導電層を散ける。第1導電層72N上には第1基 第1の一電極として同電位で接続し、基板電位固定電極 で接続している。半導体層62の表面にはドレイン電極 6 6 N, 6 6 P、ソース電極 6 7 N, 6 7 P 及び基板電 位固定電極68N,68Pが接続される位置を除いて絶 **縁膜71を設けている。絶縁膜71中にあって、P型半** 3N間位置に絶縁膜71に含まれるゲート酸化膜75N を介してゲート電極76Nを設け、半導体層62上のP 本図 6 2 には素子形成領域 5 0 0 N に隣接し絶縁分離局 た第2基板電位取出し領域600Pとを設け、基板電位 **取出し領域600N及び600Pにはそれぞれシリコン** P直下の位置とを絶縁分離する絶縁分離層69Bを散け 板電位固定電極 6 8 Nを接続し、第 2 導電層 7 2 P 上に ないが、基板電位固定電極68Nはソース電極67Nを 68Pはソース電極67Pを第2の一電極として同電位 型半導体領域65PLP+ 型半導体領域73P間位置に は第2基板電位固定電極68Pを接続している。図示し 導体領域65N上の半導体層62とN+型半導体領域7 絶縁膜71に含まれるゲート酸化膜75Pを介してゲー ト電極76Pを散けている。

MOSFET及びPチャネル高耐圧MOSFETの動作 【0019】上記構成の半導体装置のNチャネル南耐圧 は、Nチャネル商動圧MOSFETにおいては、ソース **電極67Nと基板電位固定電極68Nを0Vとして、ゲ −ト電極76Nをオフ制御状態でドレイン電極66Nに** 正電圧を印加していくと、半導体層 6 2 と P 型半導体領 域65N間のPN接合から図9に示す空5層Aと同様の 空乏層が伸びる。このとき、導電性支持基板61の基板 導電層 6 1 c の素子形成領域 5 0 0 N及び基板電位取出 し領域600N直下の位置は、基板電位固定電極68N り、シリコン酸化膜63を介してフィールドプレートと から第1導電層72Nを介して全体が0Vになってお

いては、ドレイン電極66Pを0Vとして、ゲート電極 乏層Aと同様の空乏層が伸びる。このとき、導電性支持 **乏層が伸びるため、この影響により先の空乏層が伸びや** 緩和される。また、Pチャネル南耐圧MOSFETにお とP型半導体領域65P間のPN接合から図9に示す空 び基板電位取出し領域600P直下の位置は、基板電位 固定電極68Pから第2導電圀72Pを介して全体が正 2の表面に向かう方向に図9に示す空乏層Bと同様の空 コン酸化膜 63間の界面から半導体層 62の装面に向か め、この影響により先の空を層が伸びやすくなり、半導 体層 6 2 と P 型半導体領域 6 5 N 間の P N接合の UM 片 76Pをオフ制御状態でソース電極67Pと基板電位固 定電極68Pに正鶴圧を印加していくと、半導体層62 基板61の基板導電層61cの業子形成領域500P及 電圧になっており、シリコン酸化膜63を介してフィー ルドプレートとして働くので上記の空乏層に加えて半導 体層62とシリコン酸化膜63間の界面から半導体層6 すくなり、半導体層62とP型半導体領域65P間のP して働くので上記の空を超に加えて半導体圏 62 とシリ う方向に図9に示す空乏層Bと同様の空乏層が伸びるた N接合の電界は緩和される。

1の基板導電路61cを素子形成領域500N及び基板 電位取出し領域600N直下の位置と素子形成領域50 0 P及び基板電位取出し領域600P直下の位置とに絶 **縁分離してそれらの電位を表面に散けた基板電位固定電** 極68N,68Pによりソース電極67N,67Pの電 位にそれぞれ固定することによりSOI基板の裏面に電 領域内での安面電界緩和効果を利用してNチャネル高耐 業子の搭載が可能で、上述した課題(1)、(2)及び [0020] このようにSOI基板の導電性支持基板6 極を設けずに、MOSFET業子が形成される業子形成 EMOSFET業子及びPチャネル高耐圧MOSFET (3) を解決することができる。即ち、

Grid Array) 、CSP (Chip Size Package) に本実施 例のNチャネル高耐圧MOSFET楽子及びPチャネル 高耐圧MOSFET素子を有する半導体装置のチップを (1) 面実装型のICパッケージとしてのBGA (Ball 保用することができる。

グにより接続する方式の場合において、本実施例のNチ ヤネル南耐圧MOSFET業子及びPチャネル南耐圧M とによりダイボンディングコストを安くするための絶縁 (2) チップをワイヤボンディング及びダイボンディン OSFET業子を有する半導体装置のチップを用いるこ ペーストを使用することができる。

て使用しても、Nチャネル高耐圧MOSFET業子及び (3) 本実施例のNチャネル高耐圧MOSFET業子及 びPチャネル高耐圧MOSFET累子を有する半導体装 Pチャネル南耐圧MOSFET業子とも表面亀界緩和効 **躍のチップを用いることにより、チップの裏面を接地し** 果を利用できる。 8

【0021】上述の第3実施例において、一導値型をN型、他等値型をP型として説明したが、一導電型をP型、他等値型をP型、他等電型をN型としてもよい。この場合、第1 兼子形成領域側にPチャネル高耐圧MOSFET業子、第2素子形成領域側にNチャネル高耐圧MOSFET及でPチャネル高耐圧MOSFET及びPチャネル高耐圧MOSFET及がPチャネル高耐圧MOSFET及がPチャネル高耐圧MOSFET及がPチャネル高耐圧MOSFET及がPチャネル高耐圧MOSFET及がPチャネル高耐圧MOSFET及が自動性は、同一であるので説明を省略する。

MOSFETを有する半導体装置の製造方法を図2、図-428を所定の厚さに研磨して半導体層42として(図 【0022】次に上述の第2実施例のNチャネル高耐圧 基板41aの表面層にN+型半導体層41bを形成 (図 し(図4(c))、更に貼り合わせた後のシリコン基板 4 (a) ~ (d) 及び図5 (a) ~ (c) を参照して説 明する。尚、第1実施例の萬耐圧ダイオードの製造方法 は基板電位固定電極への基板電位の取出し方法が高耐圧 4 (a)) し、N- 型シリコン基板42aの表面に熟酸 先ず、S01 基板は図4に示すように、N- 型シリコン |たによりシリコン酸化酸43を形成(図4(b))して 後、シリコン基板41aのN+ 型層41b側とシリコン 基板428のシリコン酸化膜43側を熱処理により貼り 合わせて、シリコン基板41aを半導体支持基板41と MOSFETの場合と同様であるので説明を省略する。 4 (d)) 製造される。

【0023】次に、このSO1基板を用いての製造の第 1工程はこの工程の完了後の断面図を図5 (a) に示すように、半導体圏42を素子形成領域300や基板館位 取出し領域400の複数の部分に絶縁分離するために半 導体圏42の接面からシリコン酸化膜43の表面までの 0級ドライエッチングで分離溝57を形成し、その内壁に対域化法によりシリコン酸化膜58を形成する。その 後、SO1基板装面にCVD法により高低抗のポリシリコン膜60を被覆して分離溝57にポリシリコン膜60を 2以外のポリシリコン酸60を除生する。この時点で分離溝57にはシリコン酸60を除生する。この時点で分離溝57にはシリコン酸60を除生する。この時点で分解溝57にはシリコン酸60とか形成される。ポリシリコン膜60により絶縁分離844。CMPの代わりにドライエッチングやウエットエッチングを用いるにとも可能である。

[0024] 次に、第2工程はこの工程の完了後の節曲図を図5(b)に示すように、第1工程完了後の絶縁分解層49に販囲まれた基板電位取出し領域40の表面から半導体支持基板41の表面又は表面図内までの選択ドライエッチングで取出し降59を形成する。その後、SOI基板表面にCVD法により高抵抗のポリシリコン既を被覆して取出し降59にポリシリコン膜を埋砂込み、化学的機械研磨(CMP)により恵出し降59以外のポリシリコン膜を除去する。その後、フォトリングラフオ法によりフォトレジスト膜91でマスクして取出し

構59内のポリシリコン膜に燐をイオン注入しフォトレ

ジストを除去後熱拡散することによりN+型導電圈52 が形成される。ポリシリコン膜は後から燐をイオン社入する代わりに最初から燐を含んだ低低抗のポリシリコン膜を被覆することも可能である。また、第1工程と同様に、ポリシリコン膜の除去として、CMPの代わりにドイエッナングやウエットエッチングを用いることも可 [0025] 次に、第3工程はこの工程の完了後の断面 図を図5 (c) に示すように、第2工程完了後の絶縁分 はドレイン電極46、ソース電極47及び基板電位固定 は半導体層42とP型半導体領域45間のPN接合から 領域53を形成し、N+型半導体領域53と隣接してP + 型半導体領域54を形成する。半導体層42の表面に る。絶縁膜51は熱酸化法によるシリコン酸化膜及びC 中にあって、P型半導体領域45上の半導体層42とN 公知の技術により半導体層42表面からシリコン酸化膜 43までの深さで絶縁分離图49に隣接して所定幅で環 状にP型半導体領域45を形成する。P型半導体領域4 5に取囲まれた半導体層42の表面層の中央にN+型半 導体領域44を形成する。P型半導体領域45の表面に チャネル長として所定距離離間した位置にN+ 型半導体 **電極48が接続される位置を除いて絶縁膜51を形成す** VD法による層間絶縁膜により形成される。絶縁膜51 + 型半導体領域53間位置に絶縁膜51に含まれるゲー 離層49に取囲まれた素子形成領域300内において、 ト酸化膜55を介してゲート電極56を形成する。

を、N+ 型半導体領域5 3~P+ 型半導体領域5 4には 方法は後述される第3 実施例の半導体装置の製造方法で 面図を図2に示すように、第3工程完了後のSOI 基板 トリングラフィ法及びドライエッチ法により不要部を除 ソース電極47を、及び、導電局52上には基板単位固 基板電位固定電極48はソース電極47と同電位で接続 する。尚、上述の製造方法においては、絶縁分離層49 の形成を素子形成領域300内への各半導体領域の形成 前に行う方法で説明したが、業子形成領域300内への 各半導体領域の形成後に行う方法でも可能である。この 用いられており、溝埋め込み後のCMPが不要で工程短 【0026】続いて、第4工程はこの工程の完了後の断 **表面にスパッタ法によりアルミニウム膜を被覆し、フォ** 定電極48をオーム接触して形成する。図示しないが、 去して、N+ 型半導体領域44にはドレイン電極46 餡が可能である。

【0027】次に上述の第3実施例のNチャネル高耐圧MOSFET及びPチャネル高耐圧MOSFETを有する半導体装置の製造方法を図3、図6 (a)~ (d)及の図7 (a)~ (d)及の図7 (a)~ (d)及数照して説明する。先ず、SOI基板は図6に示すように、N-型シリコン基板61aの表面に素酸化による>リコン酸化酸61bを介して体含さむポリシリコン酸によるN+型基板等電路61cを強

面に熟験化によりシリコン酸化膜63を形成 (図6(b)) して後、シリコン基板61aの基板導電路61c側とシリコン基板61aの基板端電路61cがシリコン酸化膜63個を熱処理により貼り合わせて基板薄電路61cがシリコン酸化酸61bを準電性支持基板61bとし(図6(c))、更に貼り合わせた後のシリコン基板62a側表面を再定の厚きに研磨して半導体層62として(図6(d))製造される。

【0028】次に、このSOI基板を用いての製造の第 1 工程はこの工程の完了後の断面図を図7 (a) に示す ように、Nチャネル型MOSFETを形成する第1素子 形成領域500N及び第1基板電位取出し領域600N の直下に位置する基板導電層61cと、Pチャネル型M OSFETを形成する第2素子形成領域500P及び第 2 基板取出し領域 6 0 0 Pの直下に位置する基板導電層 61cとを絶縁分離するために半導体層62の表面から シリコン酸化膜61bの表面までの選択ドライエッチン グで分離溝92を形成し、これらの分離溝92の内壁に 後、SOI基板表面にCVD法により高抵抗のポリシリ コン膜80を被覆して分離溝92にポリシリコン膜80 を埋め込み、化学的機械研磨 (CMP) により分離溝 9 2以外のポリシリコン膜80を除去する。この時点で分 雑溝92にはシリコン酸化膜93を介したポリシリコン 模80により絶縁分離層69日が形成される。ポリシリ コン膜80の除去として、CMPの代わりにドライエッ 熱酸化法によりシリコン酸化膜 9.3を形成する。その チングやウエットエッチングを用いることも可能であ

【0029】次に、第2工程はこの工程の完了後の断面 図を図7 (b) に示すように、第1工程完了後の第1及 び第2基板電位取出し領域600N,600Pの表面か ら基板導電局 6 1 c の装面又は表面層内までの選択ドラ イエッチングで第1及び第2取出し溝79N, 79Pを 形成する。その後、SOI基板装面にCVD法により高 低抗のポリシリコン膜を被覆して取出し溝79N,79 Pにポリシリコン膜を埋め込み、化学的機械研磨(CM P) により取出し溝19N,19P以外のポリシリコン 膜を除去する。その後、フォトリソグラフィ法によりフ オトレジスト膜94でマスクして取出し溝79N,79 P内のポリシリコン膜に燐をイオン注入しフォトレジス トを除去後熱拡散することによりN+型の第1及び第2 **導電層72N,72Pが形成される。ポリシリコン膜は** 後から燐をイオン注入する代わりに最初から燐を含んだ て、CMPの代わりにドライエッチングやウエットエッ 氐抵抗のポリシリコン膜を被覆することも可能である。 また、第1工程と同様に、ポリシリコン膜の除去とし チングを用いることも可能である。

【0030】次に、第3工程はこの工程の完了後の断面 図を図7(c)に示すように、公知の技術により、Nチャネル型MOSFETを形成する第1聚子形成額域50

所定幅で環状にP型半導体領域65Nを形成する。P型 半導体領域65Nに取囲まれた半導体層62の表面層の 中央にN+ 型半導体領域64Nを形成する。P型半導体 領域65Nの表面には半導体層62とP型半導体領域6 た位置にN+ 型半導体領域73Nを形成し、N+ 型半導 体領域7 3 N と隣接して P+ 型半導体領域7 4 N を形成 P+ 型半導体領域64Pを形成する。半導体图62の表 面には半導体層62とP型半導体領域65P間のPN接 合からチャネル長として所定距離離間した位置に b+ 型 半導体領域13Pを形成し、P+ 型半導体領域13Pと 隣接してN+ 型半導体領域74Pを形成する。半導体層 62の表面には、P型半導体領域65N上の半導体图6 2とN+ 型半導体領域73N関位置にゲート酸化膜75 Nを介してゲート電極76Nを形成し、半導体層62上 のP型半導体領域65PとP+ 型半導体領域73P間位 **置にゲート酸化膜15Pを介してゲート電極16Pを形** O N内において、半導体圏62表面からシリコン酸化版 6 3までの深さで第1業子形成領域500N内の外周に 5 N間の P N接合からチャネル長として所定距離離間し する。また同時に、Pチャネル型MOSFETを形成す る第2案子形成領域500P内において、半導体B62 が第2素子形成領域500Pの外周に所定幅の環状で残 るようにシリコン酸化膜63までの深さでP型半導体質 域65Pを形成する。P型半導体領域65Pの表面局に

【0031】次に、第4工程はこの工程の完了後の時面 図を図7 (d) に示すように、第3工程完了後の半導体 層62を第1素子形成領域500Nや第2素子形成領域 500P及び第1基板電位即出(領域600Nや第2基 板助出し領域600Pを含む複数の部分に絶線分離する ために半導体層62の表面からシリコン酸化版63の表 面までの選択ドライエッチングで分離構77を形成す 5。尚、棒線分離層69Bにより第1素子形成領域50 0Nや第2素子形成領域500P及び第1基低電取出 上領域600Nや第2基基板取出(領域600Pの総線分 離を共用している個所には分離構77を形成す返 【0032】続いて、第5工程はこの工程の完了後の断面図を図3に示すように、第4工程完了後の分離降77に第2起接分離函69Aを形成し、S01基板表面にはドレイン電極66N、66P、ソース電極67N、67D及び基板電位固定電極68N、68Pが接続される位置を除いて絶縁膜71を形成する。第2絶縁分離超69A及び絶縁膜71の形成はCVD法による絶縁膜のS01基板表面への積層及び分解準77への埋め込み、更に、フォトリングラフィ社及びドライエッチ社により不要部を除去して行われる。尚、図示していないが、絶縁膜71には図7(c)に示す第3工程において熱酸化法により形成されるシリコン酸化膜も含まれる。その後、S01基板表面にスペッグ法によりアルミニウム膜を被

特開平11-354631

(10)

覆し、フォトリングラフィ法及びドライエッチ法により P+ 型半導体領域64Pにはドレイン電極66Pを、P 基板館位固定電極68Pをオーム接触して形成する。図 示しないが、第1 基板電位固定電極68 Nはソース電極 ン電極66Nを、N+ 型半導体領域73NとP+ 型半導 体領域74Nにはソース電極67Nを、及び、第1導電 一ス電極67Pを、及び、第2導電層72P上には第2 67Nと、第2基板電位固定電極68Pはソース電極6 7Pと同覧位で接続する。尚、上述の製造方法において 不要部を除去して、N+ 型半導体領域64Nにはドレイ + 型半導体領域73PとN+ 型半導体領域74Pにはン 閏72N上には第1基板電位固定電極68Nを、更に、 は、絶縁分離層69Aの形成を素子形成領域500N,

とに絶縁分離してそれらの電位を装面に設けた第1及び 塔板の半導体支持基板の電位を表面に設けた基板電位固 定電極により一の電極、例えば高耐圧MOSFET業子 を有する半導体装置の場合はソース電極、の配位に固定 することにより501基板の英面に電極を設けずに、半 算体配内での扱面電界緩和効果を利用して高耐圧素子の **苓載が可能で、上近した課題(1)及び(2)を解決す** ることができる。また、本発明の請求項1~11によれ 育する半導体装置の場合はそれぞれのソース電極、の電 ば、SOI基板の導電性支持基板の基板導電層を第1案 子形成領域及び第1基板電位取出し領域直下の位置と第 2 素子形成領域及び第2 基板電位取出し領域直下の位置 第2基板電位固定電極によりそれぞれの一の電極、例え ばNチャネル及びPチャネル高耐圧MOSFET素子を {発明の効果】本発明の請求項1~6によれば、SOI が不要となり工程短縮が可能である。 [0033]

ずに、半導体層内での表面電界緩和効果を利用して2つ の異なる導電型の高耐圧素子の搭載が可能で、上述した 位に固定することによりSOI基板の裏面に電極を設け **課題(1)、(2)及び(3)を解決することができ**

[図面の簡単な説明]

本発明の第1実施例である高耐圧ダイオード ※子を有する半導体装置の主要部断面図。 [⊠]

【図2】 本発明の第2実施例である髙耐圧MOSFE 「を有する半導体装置の主要部断面図。 本発明の第3実施例であるNチャネル及びP チャネル高耐圧MOSFETを有する半導体装置の主要 (図3)

図2に示す半導体装置に用いられる501基 [図4] 部断面図。

坂の製造工程を示す主要部断面図。

図2に示す半導体装置の製造工程を示す主要 [図2] 35年6日区

体領域の形成前に行う方法でも可能である。但し、この

方法の場合、溝埋め込み後の構以外の積層膜の除去が必 要となり工程が増える。また、絶縁分離層69Bの形成

500 P内への各半導体領域の形成後に行う方法で説明 したが、案子形成領域500N,500P内への各半導 を案子形成領域500N, 500P内への各半導体領域

の形成前に行う方法で説明したが、素子形成領域500 N, 500P内への各半導体領域の形成後に行う方法で も可能である。この方法の場合、構埋め込み後のCMP

図3に示す半単体装置に用いられる501基 [9図]

版の製造工程を示す主要部断面図。

図3に示す半導体装置の製造工程を示す主要 [区] 部断面図

従来の高耐圧ダイオードを有する半導体装置 8 🗵

の主要部断面図。

【図9】 図8に示す半導体装置の動作を説明するため

[符号の説明]

S S

21,41 半導体支持基板 (導電性支持基板)、6

1:導電性支持基板

22, 42, 62 N-型半導体層

23,43,61b,63 シリコン酸化膜 (絶縁膜)

27:アノード電極

28, 48, 68N, 68P 基板館位固定電極

47, 67N, 67P ソース電極

29, 49, 69A, 69B 絶緣分離層

32, 52, 72N, 72P 導電層 61c 基板導電層

200, 400, 600N, 600P 基板電位取出し 100,300,500N,500P 紫子形成領域

[図2]

[図]

[8図] [図4] [図7] il 3 3 [9区] [図3] [6図] [図5]